

AUG 30 2004



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Keiichi KUSHIDA, et al.

GAU:

SERIAL NO: 10/828,282

EXAMINER:

FILED: April 21, 2004

FOR: SEMICONDUCTOR DEVICE WITH MEMORY AND METHOD FOR MEMORY TEST

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2004-036077	February 13, 2004

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

10/828,282

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2004年 2月13日
Date of Application:

出願番号 特願2004-036077
Application Number:
ST. 10/C] [J P 2004 - 036077]

願人 株式会社東芝
Applicant(s):

2004年 5月10日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

CERTIFIED COPY OF
PRIORITY DOCUMENT

出証番号 出証特2004-303869

THIS IS AN AVAILABLE COPY

【書類名】 特許願
【整理番号】 A000306228
【提出日】 平成16年 2月13日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 29/00
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
【氏名】 櫛田 桂一
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
【氏名】 平林 修
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲
【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠
【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男
【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎
【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲**【請求項1】**

データを格納するデータ用メモリと、

前記データに対応するエラー訂正用コードを格納するコード用メモリと、

前記データ用メモリのテストを実行するためのテストパターンを前記データとして前記データ用メモリに出力し、かつ、このテストパターンからエラー検知機能を有するコード情報を生成して、前記エラー訂正用コードとして前記コード用メモリに出力するエラー訂正回路と

を具備したことを特徴とする半導体装置。

【請求項2】

前記データ用メモリに書き込まれた前記テストパターンと、前記コード用メモリに書き込まれた前記コード情報を読み出すことにより、前記データ用メモリと前記コード用メモリとを同時にテストするテスト回路を更に具備することを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記エラー訂正回路は、前記コード用メモリから読み出された前記コード情報に基づいてエラーを検知し、

前記テスト回路は、前記エラー訂正回路のエラー検知結果に基づいて、前記データ用メモリ及び前記コード用メモリのテストを実行することを特徴とする請求項2に記載の半導体装置。

【請求項4】

前記エラー訂正回路は、行列の各行成分の和が奇数となるように構成されたハミング行列を使用して、前記コード情報を生成することを特徴とする請求項1から請求項3のいずれか1項に記載の半導体装置。

【請求項5】

前記エラー訂正回路は、前記テストパターンの全ビットが1の場合、このテストパターンから生成されるコード情報の全ビットが1となるように、前記コード情報を生成することを特徴とする請求項1から請求項3のいずれか1項に記載の半導体装置。

【請求項6】

前記エラー訂正回路は、前記コード情報の全ビットが前記テストパターンの入力に応じて0から1または1から0に遷移するように、前記コード情報を生成することを特徴とする請求項1から請求項3のいずれか1項に記載の半導体装置。

【請求項7】

前記エラー訂正回路は、前記テストパターンと、このテストパターンから生成されるコード情報において、同一アドレス中の任意のNビット（Nは2以上の自然数）が前記テストパターンの入力に応じてNビットの組み合わせの全パターンを網羅するように、前記コード情報を生成することを特徴とする請求項1から請求項3のいずれか1項に記載の半導体装置。

【請求項8】

前記エラー訂正回路は、前記テストパターンの指定の1ビットを除く全ビットが1のときに、このテストパターンから生成されるコード情報の全ビットが1となるように、前記コード情報を生成することを特徴とする請求項1から請求項3のいずれか1項に記載の半導体装置。

【請求項9】

データを格納するデータ用メモリと、前記データに対応するエラー訂正用コードを格納するコード用メモリとを含む半導体装置に適用するメモリテスト方法であって、

前記データ用メモリのテストを実行するためのテストパターンを生成するステップと、

前記テストパターンを前記データ用メモリに出力するステップと、

前記テストパターンからエラー検知機能を有するコード情報を生成して、前記エラー訂正用コードとして前記コード用メモリに出力するステップと、

前記データ用メモリに書き込まれた前記テストパターンと、前記コード用メモリに書き込まれた前記コード情報を読み出すことにより、前記データ用メモリと前記コード用メモリとを同時にテストするステップと
を有する手順を実行するメモリテスト方法。

【請求項10】

前記テストを実行するステップは、前記コード用メモリから読み出された前記コード情報の全ビットが0から1または1から0に遷移するか否かをチェックすることを特徴とする請求項9に記載のメモリテスト方法。

【請求項11】

前記テストを実行するステップは、前記テストパターンと、このテストパターンから生成される前記コード情報において、同一アドレス中の任意のNビット（Nは2以上の自然数）が前記テストパターンの入力に応じてNビットの組み合わせの全パターンを網羅しているか否かをチェックすることを特徴とする請求項9に記載のメモリテスト方法。

【請求項12】

前記テストを実行するステップは、前記テストパターンの指定の1ビットを除く全ビットが1のときに、このテストパターンから生成される前記コード情報の全ビットが1となるか否かをチェックすることを特徴とする請求項9に記載のメモリテスト方法。

【書類名】明細書

【発明の名称】半導体装置及びそのメモリテスト方法

【技術分野】

【0001】

本発明は、一般的には半導体装置に関し、特に、メモリを含む半導体装置、及び当該メモリをテストするメモリテスト方法に関する。

【背景技術】

【0002】

一般的に、半導体記憶装置には、エラー訂正回路（ECC回路）を内蔵するECC回路内蔵型半導体装置がある。このECC回路内蔵型の半導体記憶装置では、データを記憶するためのデータ用メモリ、及びECC（エラー訂正コード）を記憶するためのコード用メモリの両方が搭載されている（例えば、特許文献1を参照）。

【0003】

このような半導体記憶装置において、内蔵されているテスト回路及びECC回路を利用して、メモリのテストを行なうメモリテスト方法がある（例えば、特許文献2を参照）。

【0004】

この先行技術文献に記載されているメモリテスト方法は、メモリの読み出し速度のテスト時に、1ビット反転回路によって、書き込みデータ及び誤り訂正コードの中で、所定の1ビットを反転させてエラービットを含むデータをメモリセルに書き込む。そして、読み出し時においてECC回路によって、データのエラー訂正を行なうようにテスト条件を設定する方法である。

【特許文献1】米国特許第6,295,617(2001年)

【特許文献2】特開2001-351389号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

従来のメモリテスト方法では、データ用メモリとコード用メモリのそれぞれに対して、テストを実行する必要がある。このため、同容量のデータ用メモリのみの単体メモリのテストに比べて、テスト処理に要する時間が長くなる。また、データ用メモリとコード用メモリのそれぞれに対応するテスト回路が必要となる。従って、テストコストの増大化を招く要因になっている。

【0006】

そこで、本発明の目的は、ECC回路内蔵型で、データ用メモリとコード用メモリの両方を搭載した半導体装置において、メモリテストに要する時間とテスト回路を削減することにより、メモリテストに要するコストを軽減できる半導体装置を提供することにある。

【課題を解決するための手段】

【0007】

本発明の観点は、ECC回路を利用して、データ用メモリのテストパターンからエラー検知機能を有するコード情報を生成して、当該テストパターンとコード情報を使用して、データ用メモリとコード用メモリのテストを一括して行なうメモリテスト方法を実現できる半導体装置に関する。

【0008】

本発明の観点に従った半導体装置は、データを格納するデータ用メモリと、前記データに対応するエラー訂正用コードを格納するコード用メモリと、前記データ用メモリのテストを実行するためのテストパターンを前記データとして前記データ用メモリに出力し、かつ、このテストパターンからエラー検知機能を有するコード情報を生成して、前記エラー訂正用コードとして前記コード用メモリに出力するエラー訂正回路とを備えたものである。

【発明の効果】

【0009】

本発明の半導体装置であれば、データ用メモリとコード用メモリのテストを一括して行なうことができるため、テスト処理時間の短縮化及びテスト回路の削減化を実現し、結果としてメモリテストに要するコストの軽減を図ることができる。

【発明を実施するための最良の形態】

【0010】

以下図面を参照して、本発明の実施形態を説明する。

【0011】

(半導体装置の構成)

図1は、本実施形態に関する半導体装置の要部を示すブロック図である。

【0012】

本実施形態の半導体装置1は、データを格納するデータメモリ10と、エラー訂正コード(ECC)であるコードデータ(冗長コード)を格納するコードメモリ11とを有する。このデータメモリ10及びコードメモリ11としては、例えば、DRAM、SRAM、フラッシュメモリ、FeRAM、MRAM等が挙げられる。また、半導体装置1は、半導体記憶装置以外に、マイクロプロセッサなどのLSIチップでもよい。

【0013】

さらに、半導体装置1は、エラー訂正回路(ECC回路)12と、インターフェース(I/F)13と、テスト回路14とを内蔵している。

【0014】

ECC回路12は、後述するように、エラー検知機能を有するハミング行列(またはハミングコード:Hamming code)を使用して、コードメモリ11に格納するコードデータ(コード情報、以下ECCと表記することがある)を生成するロジックを有する。

【0015】

また、ECC回路12は、データメモリ10またはコードメモリ11から読出したデータ(テストパターンまたはECC)からエラービットを検知するロジックを含む。

【0016】

テスト回路14は、データメモリ10のメモリテストを行なうためのテストパターンを生成するロジックを含み、インターフェース13を介してECC回路12との間でデータの入出力を実行する。テスト回路14は、データメモリ10に書き込まれたテストパターンを読み出し、メモリテストを実行するBIST(Built-In Self Test)ロジック回路である。

【0017】

つまり、テスト回路14は、ECC回路12及びインターフェース13を介して、テストパターンをデータメモリ10に書き込み、このテストパターンから生成されたコードデータをコードメモリ11に書き込む。そして、テスト回路14は、データメモリ10に書き込まれたテストパターンを読み出し、コードメモリ11に書き込まれたコードデータを読み出す。これにより、テスト回路14は、期待値としての書き込みデータとメモリ出力としての読み出しデータとを比較し、メモリセルの不良ビットを検出する。

【0018】

(メモリテスト方法)

本実施形態の半導体装置1は、BISTロジック回路であるテスト回路14により、データメモリ10のメモリテストを実行するときに、コードメモリ11のメモリテストを同時に実行する。

【0019】

これを実現するために、ECC回路12は、テスト回路14により生成されたテストパターンをデータメモリ10に書き込むときに、当該テストパターンに対応するコードデータを生成する。ECC回路12は、適切なハミング行列H(ハミングコード)を使用して、コードデータ(ECC)を生成する生成ロジックにより、テストパターンからエラー検知機能を有するコードデータを生成して、コードメモリ11に出力する(図2を参照)。

【0020】

なお、以下では、便宜上、コードデータとしてハミング行列H（ハミングコード）を使用して生成されたコード情報（S）を用いた場合を説明するが、当該コードデータはハミングコード以外のロジックを使用して生成されたものでもよい。

【0021】

テスト回路14は、データメモリ10のメモリテストを実行するときに、ECC回路12は、コードメモリ11から読出したコードデータ（ECC）からエラービットを検知し、当該検知結果をテスト回路14に出力する。

【0022】

以上要するに、データメモリ10に対してテストパターンを書き込むときに、ECC回路12により、当該テストパターンであるデータに対応するコードデータを生成し、コードメモリ11に書き込む。これにより、テスト回路14は、データメモリ10のテストを実行するときに、ECC回路12を使用して、コードメモリ11に対してデータメモリ10と等価なテストを実行することになる。

【0023】

以下、コードメモリ11に対するテストの具体的な内容を説明する。

【0024】

(1) データを格納するデータメモリ10及びコードデータを格納するコードメモリ11において、各メモリ10, 11の全アドレスにバックグラウンドデータを書き込む。バックグラウンドデータとしては、例えば、繰り返しデータ（1010…），（0101…）や、同一データ（1111…），（0000…）などが用いられる。

【0025】

(2) 次に、各メモリ10, 11のテスト対象アドレス（最初のアドレス）を特定し、そのテスト対象アドレスからデータを読み出す。そして、読み出されたデータとバックグラウンドデータ（期待値）とを比較して、各メモリ10, 11のテスト対象アドレスのテストを行う。

【0026】

(3) 続いて、データメモリ10のテスト対象アドレスうち、少なくとも一部のデータビットに対してバックグラウンドデータを反転させたデータを、テストパターンとしてデータメモリ10のテスト対象アドレスに書き込む。このとき、コードメモリ11のテスト対象アドレスには、このテストパターンからECC回路12により生成されたコードデータが書き込まれる。

【0027】

次に、各メモリ10, 11のテスト対象アドレスからデータを読み出し、書き込んだデータと比較することにより、各メモリ10, 11のテスト対象アドレスのテストを行う。この後、テスト対象アドレスを変えながら、上記(2)及び(3)の動作を繰り返し行う。

【0028】

上記テスト動作においては、データメモリ10をテストするためのテストパターンを入力するときに、コードメモリ11中の全ビットが $0 \rightarrow 1 \rightarrow 0$ （あるいは $1 \rightarrow 0 \rightarrow 1$ ）と遷移する。これにより、テスト回路14は、0/1の書き込み（または読み出し）テストによる固定不良チェックと、データ遷移時に発生する一部のデータ依存不良チェックとを実行することができる。

【0029】

データメモリ10またはコードメモリ11のエラー検知は、ECC回路12により実行される。テスト回路14は、ECC回路12から出力されるエラー検知結果に基づいて、テストパターンの書き込み直後に発生し、また再現性のあるエラービットを初期不良として判定する。

【0030】

ここで、Nビット以上（Nは2以上の自然数）のエラー検知機能を有するハミング行列を用いる場合、テストパターン入力のときに、データとコードデータに対して、任意のN

ビットの組み合わせでの全パターンをチェックする必要がある。

【0031】

以下に、ハミング行列が2ビット以上のエラー検知機能を有する場合について、図2を参照しながら説明する。

【0032】

図2は、本実施形態に係るテストパターンの具体例を示す図である。なお、図2では、便宜上、データビットが8ビットの場合を例に挙げて説明し、コードビットについては省略する。ここで、データビットのうち、アドレス5のビットが“1”固定不良であり、アドレス7のビットが“0”固定不良であるとする。

【0033】

図2の(1)に示すように、データパターンが(1010...)の場合、アドレス5の“1”固定不良については検出できるが、アドレス7の“0”固定不良については検出できない。また、図2の(2)に示すように、データパターンが(0101...)の場合、アドレス7の“0”固定不良については検出できるが、アドレス5の“1”固定不良については検出できない。一方、テストパターンにおいて、アドレス5を“0”とし、アドレス7を“1”とすると、アドレス5とアドレス7との両方の固定不良を検出できる。

【0034】

このように、ハミング行列が2ビット以上のエラー検知機能を有する場合、テストパターン入力のときに、データとコードデータに対して、任意の2ビットの組み合わせ(00, 01, 01, 11)での全パターンをチェックすることで、1ビット不良と2ビット不良の区別が可能になる。但し、1ビットエラー訂正方式であるSEC(single-error-correcting)方式の場合を除く。

【0035】

(ECC回路12の構成)

前述したように、ECC回路12は、テスト回路14により生成されたテストパターンをデータメモリ10に書き込むときに、当該テストパターンに対応するコードデータを生成する。ECC回路12は、適切なハミング行列H(ハミングコード)を使用する生成ロジックを含む。コードメモリ11には、エラー検知機能を有する当該コードデータが書き込まれる。

【0036】

図3は、ECC回路12の生成ロジックの原理を示す概念図である。

【0037】

ECC回路12は、図3に示すように、ハミング行列Hを使用して、コードデータSを生成する。ここで、データメモリ10に格納されるデータ(テストパターン)のデータビット幅をnビット、コードメモリ11に格納されるコードデータのビット幅をmビットとしたとき、データビットwとコードビットSとの関係は、下記式(1)に示すように表される。

【0038】

$$S = H * w^T \dots (1)$$

なお、Sはコードビット($1 \times m$)行列、wはデータビット($1 \times n$)行列として表されて、ハミング行列Hは($n \times m$)行列となる。Tは転置行列を意味する。

【0039】

さらに、ハミング行列Hの行列要素は、“1”または“0”的どちらかで構成されている。

【0040】

ここで、ハミング行列(ハミングコード)を決定するための条件として、便宜的に条件0から条件3として定義する。

【0041】

条件0としては、1ビット訂正機能と2ビット検知機能を有するSec-Ded(single error correcting and double error detecting code)方式の条件に相当する。

【0042】

この条件0を満たすためには、ハミング行列の各列成分の和が奇数となる必要がある。ここで、コードメモリ11に書き込まれたコードビット行列 S_0 と、コードビット行列 S をコードメモリ11から読み出したコードビット行列 S を想定すると、「 $S - S_0$ 」は、下記式(2)に示すように表される。

【0043】

なお、 w はデータメモリ10に書き込まれたデータビット行列であり、 w_0 はデータメモリ10から読み出したデータビット行列である。

【0044】

$$S - S_0 = H * w^T - H * w_0^T = H * (w^T - w_0^T) \dots (2)$$

式(2)より、エラービット数がゼロのときは、「 $S - S_0$ 」の列成分の和はゼロとなる。エラービット数が1ビットのときは、ハミング行列Hの各列成分の和が奇数であるため、「 $S - S_0$ 」の列成分の和は奇数となる。また、エラービット数が2ビットのときは、ハミング行列Hの各列成分の和が奇数であり、「 $S - S_0$ 」の列成分の和が奇数と奇数との和となるため、「 $S - S_0$ 」の列成分の和は偶数となる。このように、条件0とは、ハミング行列の各列成分の和が奇数となることを意味する。

【0045】

次に、条件1としては、ハミング行列の各行成分の和が3以上の奇数となる条件である。

【0046】

さらに、条件2としては、所定のテストパターンに対して、データメモリ10とコードメモリ11の全セルが“0”→“1”、“1”→“0”と遷移することである。

【0047】

また、条件3としては、データメモリ10とコードメモリ11の同一アドレスにおいて、データビット行列 w とコードビット行列 S に含まれる任意の2ビットが、「00, 01, 10, 11」の全パターンを網羅していることである。

【0048】

(メモリテストの具体例)

図4は、本実施形態のハミング行列Hの具体例を示す。図5は、テストパターンの具体例として、簡便でエラー検出率の高いマーチテストに適用可能なテストパターンを示す。図6は、マーチテスト(マーチング動作)の手順を示す。

【0049】

この具体例では、データメモリ10に格納されるデータ w のビット幅が8ビットで、入出力(I/O)のビット幅が2ビットの場合を想定する。

【0050】

ECC回路12が使用するハミング行列Hは、図4に示すように、($n \times m = 8 \times 5$)行列からなる。即ち、コードメモリ11に格納されるコードデータのビット幅は、5ビットの場合である。従って、データビット w は、(1×8)行列として表されて、コードビット S は、(1×5)行列として表される。

【0051】

次に、図5及び図6を参照して、具体的なメモリテストとしてマーチテストを適用した場合について説明する。

【0052】

マーチテストとは、メモリの特定のアドレスに対し、異なるテストパターンを用いて書き込み及び読み出しを複数回実行する。そして、この特定のアドレスに対する複数回の書き込み及び読み出しを、アドレスを変更しながら、順次繰り返すテストである。このアドレスを変更しながら、テストを繰り返す一連の動作をマーチング動作と呼ぶ。

【0053】

ここで、本具体例では、「8ビット×内部アドレスn」のメモリが、「2ビット×外部アドレス4n」としてアクセスされる場合について説明する。図5は、テストパターンと

して、データメモリ10に入力されるデータ入力パターンwと、コードメモリ11に書き込まれるコード出力パターンSの具体例を示す。図5は、メモリの1つの特定アドレス（内部アドレス1）に注目した際のテストパターンのデータ変化を示している。

【0054】

テスト回路14は、図6に示すように、初期状態（ステップS10）、待機状態（ステップS11）を経て、テスト（マーチング動作）を開始する（ステップS12）。

【0055】

まず、テスト回路14は、状態1としてメモリの初期化を実行する（ステップS13～S15）。即ち、データメモリ10及びコードメモリ11の全アドレスに0を書き込む。

【0056】

ここで、テストは、外部アドレスでマーチング動作を実行する。この場合、外部アドレスのアドレス1から順に2ビットづつ「11」と書き換えると、内部アドレスのアドレス1に注目した場合に、8ビットのうち下位2ビットづつが「11」に書き換えられる。従って、状態1で、メモリの初期化を実行するために、データメモリ10及びコードメモリ11の全アドレスに「00」を書き込む。

【0057】

次に、テスト回路14は、状態2で、メモリの1つのアドレス（外部アドレスで表現）から「00」を読み出す動作を実行する（ステップS16）。次に、当該アドレスに対して、「11」を書き込む動作を実行する（ステップS17）。さらに、当該アドレスから「11」を読み出す動作を実行する（ステップS18）。

【0058】

このようなテストパターン「11」についての一連の動作（マーチング動作）を、メモリの全アドレスに対して実行する。また、テストパターン「01」についても同様に、メモリの全アドレスに対してマーチング動作を実行する。

【0059】

具体的には、データメモリ10からデータ入力パターンwを読出して、これに対応するコード出力パターンSをコードメモリ11に書き込む。そして、コードメモリ11から読出したコード出力パターンSをチェックする。

【0060】

ここで、テスト回路14は、前述の一連のマーチング動作の条件1として、データ入力パターンwが全て“0”的場合に、コード出力パターンSが全て“0”（ALL0）であるかチェックする（図5を参照）。これにより、0/1の書き込み（または読み出し）時の固定不良チェックを実行できる。

【0061】

更に、テスト回路14は、マーチング動作の条件2として、データ入力パターンwに対して、コードメモリ11中の全ビットが“0”→“1”、または“1”→“0”と遷移するか否かをチェックする。これにより、データ遷移不良をチェックできる。

【0062】

次に、テスト回路14は、マーチング動作の条件3として、データメモリ10とコードメモリ11の同一アドレス中の任意の2ビットの組み合わせが、（00, 01, 01, 11）の全パターンを網羅しているか否かをチェックする（図5の矢印50, 51を参照）。これにより、ECCコードによる2ビット不良をチェックできる。

【0063】

最後に、テスト回路14は、マーチング動作の条件4として、ハミング行列Hにおいて、行列（n, m）が（奇数、偶数）あるいは（偶数、奇数）の組み合わせの場合、データ入力パターンwが（011…1）で、コード出力パターンSが全て“1”（ALL1）であるかチェックする（図5を参照）。

【0064】

最後に、テスト回路14は、マーチング動作の条件4として、ハミング行列Hにおいて、行列（n, m）が（奇数、偶数）あるいは（偶数、奇数）の組み合わせの場合、データ

入力パターンwが(011…1)で、コード出力パターンSが全て“1”(ALL1)であるかチェックする(図5を参照)。

【0065】

以上のような各条件1～4での一連の動作であるマーチング動作を完了することにより、メモリテストの終了となる(ステップS19)。

【0066】

ここで、マーチング動作は、前述のハミングコードの決定条件として定義した条件0から条件3に対して、便宜的に条件4に関係するテスト動作である。

【0067】

条件4とは、ハミング行列Hの指定の1ビットを除く各行成分の和が奇数となるように行列を構成することである。これによって、データビットw=(00…0)または(011…1)のときに、コードビットS=(00…0)または(11…1)となる。

【0068】

ハミング行列Hにおいて、行列(n, m)が(奇数、偶数)あるいは(偶数、奇数)の組み合わせの場合、前述の条件0と条件1を同時に満たすことは数学的に不可能である。そのため、テストパターンの入力であるデータビットw(11..1)の中で、1ビットだけ“0”を入力(例:(011…1))としたときに、コードメモリ11に格納されるコードビットSが(11…1)となるようなハミングコードを作成する。これにより条件0を満たしたまま、コードビットS=(00…0)または(11…1)にすることが可能になる。

【0069】

なお、図5では、テストパターンの入力であるデータビットwの中で、最上位ビットだけ“0”を入力した場合を説明したが、“0”を入力するビットは最上位ビットに限られない。ただし、データビットwの最上位ビットは他のビットに比較してデータの書換え回数が少ないと予想されるため、半導体装置の信頼性上、“0”を入力するビットは最上位ビットとすることが望ましい。

【0070】

以上のように本実施形態のECC回路12及びテスト回路14を内蔵する半導体装置1であれば、ECC回路12により適切なハミング行列を使用して、条件0から条件3(または条件4を含む)を満たすハミングコードを生成して、コードデータとしてコードメモリ11に格納する。そして、テストパターンであるデータビット行列wを使用して、データメモリ10をテストするテストシーケンス(BIST)において、コードメモリ11から読出したコードデータに基づいてコードメモリ11のテストを同時に実行することが可能となる。

【0071】

従って、データメモリ10とコードメモリ11をそれぞれ別のテストシーケンスでテストする場合と比較して、テスト時間の短縮化を図ることができる。更に、データメモリ10とコードメモリ11をそれぞれテストするための各テスト回路を、1個のテスト回路に統合することができる。これにより、結果としてメモリテストのコストを削減することができる。

【0072】

また、上記実施形態においては、テスト回路14が、テストの対象となるデータメモリ10及びコードメモリ11が配置されるチップ内に形成される場合を示したが、テスト回路14は、そのチップとは異なるチップに形成されてもよい。また、テスト回路14を省略し、外部テスタを用いてデータメモリ10及びコードメモリ11のテストを行ってよい。

【0073】

更に、上記実施形態においては、ECC回路12が、データメモリ10及びコードメモリ11が配置されるチップ内に形成される場合を示したが、ECC回路12は、そのチップとは異なるチップに形成されてもよい。例えば、データメモリ10及びコードメモリ11とECC回路12とが異なるチップに形成され、これらのチップがPCB(Printed Ci

rcuit Board) 基板上に配置されてもよい。

【0074】

更に、上記実施形態においては、メモリテストとしてマーチテストを適用した場合を示したが、メモリテストはマーチテストに限られない。

【0075】

更に、本発明は上記実施形態そのままで限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【0076】

【図1】本発明の実施形態に関する半導体装置の要部を示すブロック図。

【図2】本実施形態に関するテストパターンの具体例を示す図。

【図3】本実施形態に関するECC回路の生成ロジックの原理を示す概念図。

【図4】本実施形態に関するハミング行列の具体例を示す図。

【図5】本実施形態に関するテストパターンの具体例を示す図。

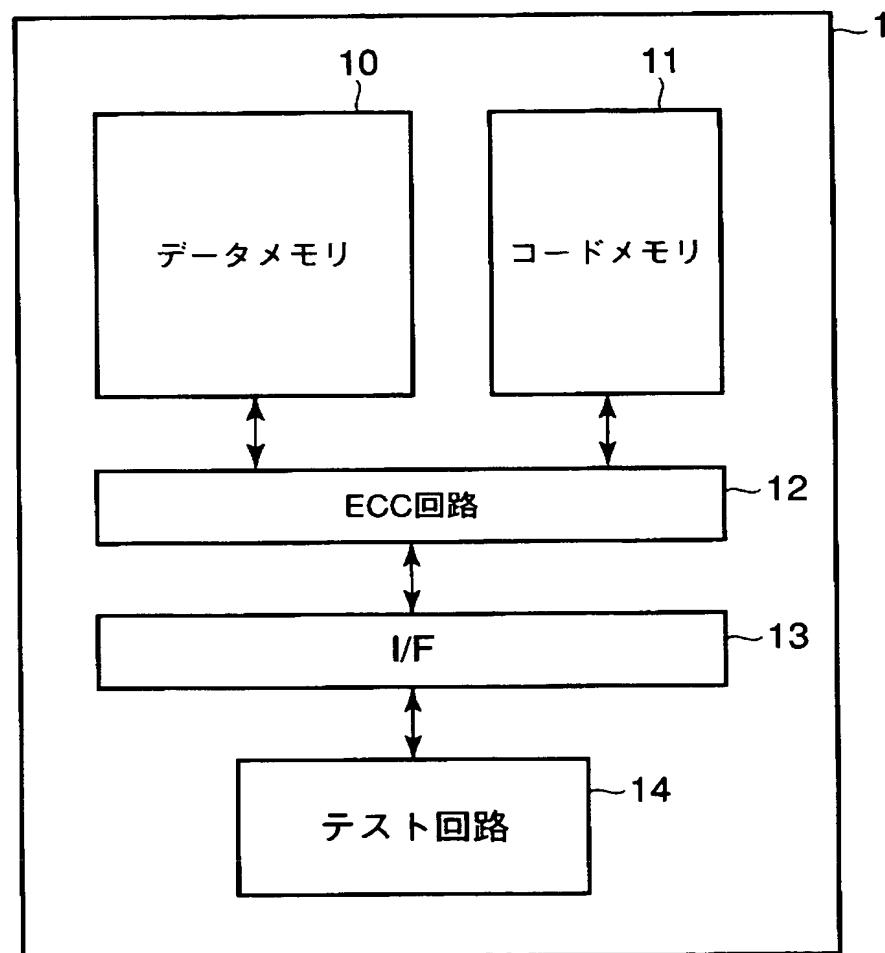
【図6】本実施形態に関するメモリテストの手順の一例を示す図。

【符号の説明】

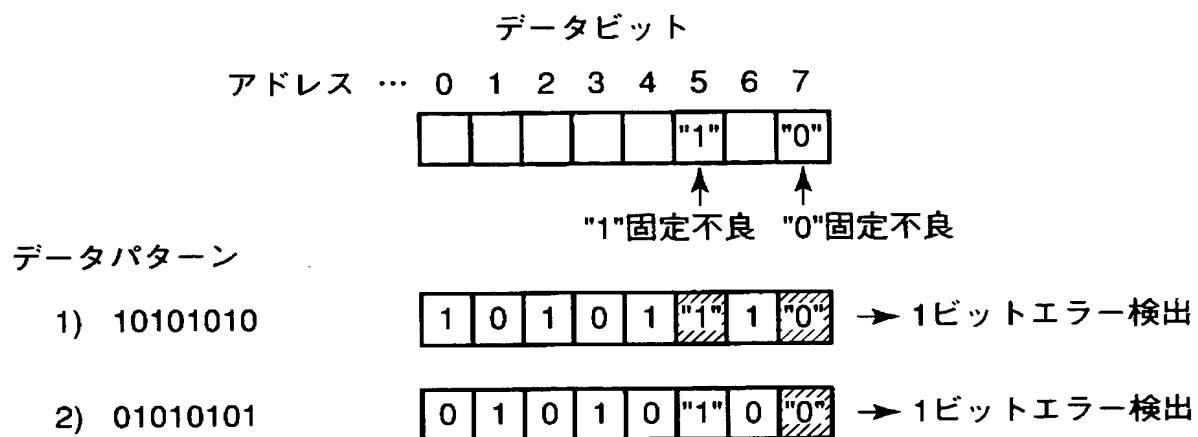
【0077】

1…半導体装置、10…データメモリ、11…コードメモリ、12…ECC回路、
13…インターフェース、14…テスト回路。

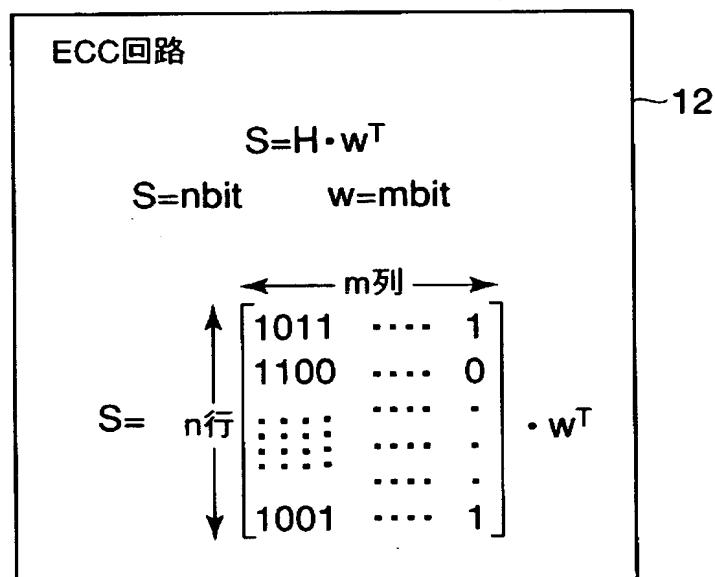
【書類名】図面
【図1】



【図2】



【図3】



【図4】

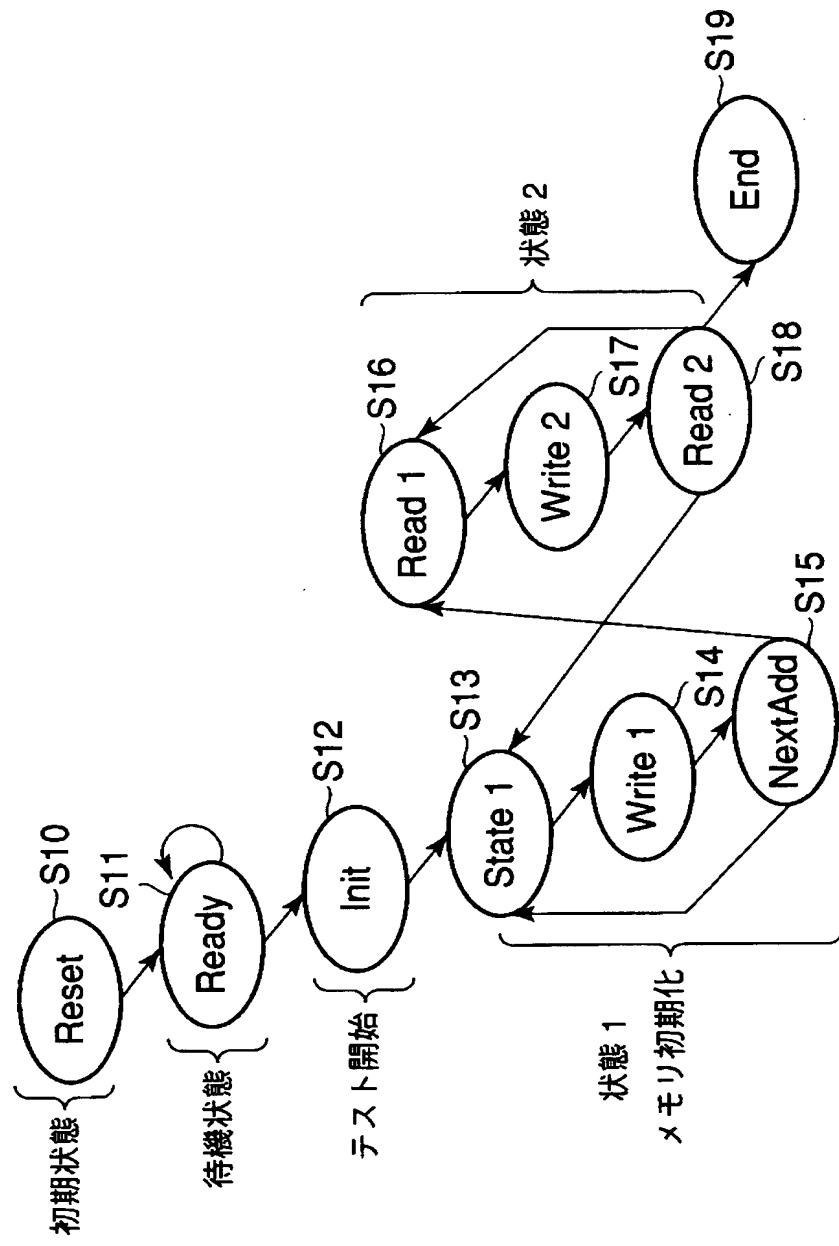
ハミング行列： $H(n \times m) = (8 \times 5)$

$$\begin{matrix} & 1 & 2 & 3 & 4 & 5 & 6 & 7 & 8 \\ \left[\begin{array}{ccccccc} 0 & 1 & 0 & 1 & 1 & 0 & 1 & 1 \\ 1 & 0 & 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 0 & 1 & 1 & 0 & 1 \\ 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 \end{array} \right] \end{matrix}$$

【図5】

	データ入力:w	コード出力:s
状態 1	0 0 0 0 0 0 0 0	0 0 0 0 0 ← ALL“0”
状態 2	0 0 0 0 0 0 1 1	0 1 1 1 1
	0 0 0 0 1 1 1 1	1 0 0 1 0
	0 0 1 1 1 1 1 1	0 1 1 0 0
	0 1 1 1 1 1 1 1	1 1 1 1 1 ← ALL“1”
	0 1 1 1 1 1 0 0	1 0 0 0 0
	0 1 1 1 0 0 0 0	0 1 1 0 1
	0 1 0 0 0 0 0 0	1 0 0 1 1
	0 0 0 0 0 0 0 0	0 0 0 0 0
状態 1 →	0 1 0 1 0 1 0 1	1 1 0 1 1
状態 2 →	0 1 0 1 0 1 1 0	1 0 1 0 0
	0 1 0 1 1 0 1 0	0 1 0 0 1
	0 1 1 0 1 0 1 0	1 0 1 1 1
	1 0 1 0 1 0 1 0	0 1 0 1 0
	1 0 1 0 1 0 0 1	0 0 1 0 1
	1 0 1 0 0 1 0 1	1 1 0 0 0
	1 0 0 1 0 1 0 1	0 0 1 1 0
	0 1 0 1 0 1 0 1	1 1 0 1 1
		↑ 50
		↑ 51

【図 6】



【書類名】要約書

【要約】

【課題】ECC回路内蔵型で、メモリテストに要するコストを軽減できる半導体装置を提供することにある。

【解決手段】データ用メモリ10、ECCコードを格納するコード用メモリ11、当該ECCコードを生成しエラー検知を行なうECC回路12を内蔵する半導体装置1が開示されている。ECC回路12は、メモリテスト時に、テストパターンから指定の条件でのエラー検知機能を有するコード情報を生成してコード用メモリ11に出力する。

【選択図】 図1

特願 2004-036077

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝